

【特許請求の範囲】

【請求項1】 データ信号を反転する反転部と、

2個のpチャンネルトランジスタと2個のnチャンネルトランジスタとを有して前記pチャンネルトランジスタと前記nチャンネルトランジスタとの間に駆動性能のアンバランスが導入された電流ミラーフリップフロップラッチ回路より構成され、前記データ信号と前記反転されたデータ信号とを同時に入力し、前記反転されたデータ信号の電圧レベルを変換し、そのレベル変換された反転データ信号を出力するレベルシフターフリップフロップ部と、

遅延ブロックと前記レベルシフターフリップフロップ部において駆動性能を弱く設定されたトランジスタと同じ型の複数のトランジスタとを有し、前記レベルシフターフリップフロップ部の駆動性能の弱い方のトランジスタの駆動性能を補助し、前記アンバランスによって弱く設定された前記レベルシフターフリップフロップ部の弱い方のフリップフロップ動作を補助する遅延駆動部とを備えた電圧変換バッファ回路。

【請求項2】 前記アンバランスが、前記レベルシフターフリップフロップ部において前記nチャンネルトランジスタの駆動性能が前記pチャンネルトランジスタの駆動性能より強くなるように導入されており、前記レベルシフターフリップフロップ部は、そのゲートが前記反転されたデータ信号を入力し、そのソースが接地された第1のnチャンネルトランジスタと、

そのゲートが前記データ信号を入力し、そのソースが接地された第2のnチャンネルトランジスタと、

そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第2のnチャンネルトランジスタのドレインと前記電圧変換バッファ回路の出力端子とに接続され、そのドレインが前記第1のnチャンネルトランジスタのドレインに接続された第1のpチャンネルトランジスタと、

そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第1のnチャンネルトランジスタのドレインに接続され、そのドレインが前記第2のnチャンネルトランジスタのドレインに接続された第2のpチャンネルトランジスタとを有し、

前記遅延駆動部は、

そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第2のpチャンネルトランジスタのゲートに接続された第3のpチャンネルトランジスタと、

そのソースが前記第3のpチャンネルトランジスタのドレインに接続され、そのドレインが前記電圧変換バッファ回路の前記出力端子と前記第2のpチャンネルトランジスタおよび前記第2のnチャンネルトランジスタのド

レインに接続された第4のpチャンネルトランジスタと、

前記電圧変換バッファ回路の前記出力端子と前記第4のpチャンネルトランジスタのゲートとの間に接続され、前記レベル変換された反転データ信号を所定の遅延時間遅延させて前記第4のpチャンネルトランジスタのゲートに伝達する遅延ブロックとを有することを特徴とする請求項1記載の電圧変換バッファ回路。

【請求項3】 前記遅延時間は、前記レベルシフターフリップフロップ部の前記弱い方のフリップフロップ動作に必要な時間より長く設定されていることを特徴とする請求項2記載の電圧変換バッファ回路。

【請求項4】 前記反転部がCMOSにより構成されていることを特徴とする請求項2記載の電圧変換バッファ回路。

【請求項5】 前記アンバランスが、前記レベルシフターフリップフロップ部において前記pチャンネルトランジスタの駆動性能が前記nチャンネルトランジスタの駆動性能より強くなるように導入されており、

前記レベルシフターフリップフロップ部は、

そのゲートが前記反転されたデータ信号を入力し、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給された第1のpチャンネルトランジスタと、

そのゲートが前記データ信号を入力し、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給された第2のpチャンネルトランジスタと、

そのソースが接地され、そのドレインが前記第1のpチャンネルトランジスタのドレインに接続され、そのゲートが前記第2のpチャンネルトランジスタのドレインと前記電圧変換バッファ回路の出力端子とに接続された第1のnチャンネルトランジスタと、

そのソースが接地され、そのドレインが前記第2のpチャンネルトランジスタのドレインに接続され、そのゲートが前記第1のpチャンネルトランジスタのドレインに接続された第2のnチャンネルトランジスタとを有し、前記遅延駆動部は、

そのソースが接地され、そのゲートが前記第2のnチャンネルトランジスタのゲートに接続された第3のnチャンネルトランジスタと、

そのソースが前記第3のnチャンネルトランジスタのドレインに接続され、そのドレインが前記電圧変換バッファ回路の前記出力端子と前記第2のpチャンネルトランジスタおよび前記第2のnチャンネルトランジスタのドレインに接続された第4のnチャンネルトランジスタと、

前記電圧変換バッファ回路の前記出力端子と前記第4のnチャンネルトランジスタのゲートとの間に接続され、前記レベル変換された反転データ信号を所定の遅延時間

遅延させて前記第4のnチャンネルトランジスタのゲートに伝達する遅延ブロックとを有することを特徴とする請求項1記載の電圧変換バッファ回路。

【請求項6】 前記遅延時間は、前記レベルシフターフリップフロップ部の前記弱い方のフリップフロップ動作に必要な時間より長く設定されていることを特徴とする請求項5記載の電圧変換バッファ回路。

【請求項7】 前記反転部がCMOSにより構成されていることを特徴とする請求項5記載の電圧変換バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力データ信号の反転を行うCMOS (Complementary MOS) インバータとその反転された入力データ信号の電圧レベルの変換を行う電流ミラーフリップフロップラッチ回路とを備えた電圧変換バッファ回路に関し、特に、前記入力データ信号のHIGHからLOWへのデータ変化およびLOWからHIGHへのデータ変化の両方に対する前記電流ミラーフリップフロップラッチ回路の高速なフリップフロップ動作を実現する電圧変換バッファ回路に関するものである。

【0002】

【従来の技術】図5は、一般に用いられている従来の電圧変換バッファ回路を示す回路図である。この従来の電圧変換バッファ回路は、反転部1とレベルシフターフリップフロップ部2とを備えて構成されている。

【0003】反転部1は、pチャンネルMOSトランジスタM1とnチャンネルMOSトランジスタM2で構成されたCMOSインバータである。電圧変換バッファ回路の入力端子(IN)はpチャンネルMOSトランジスタM1とnチャンネルMOSトランジスタM2の各ゲートに接続され、pチャンネルMOSトランジスタM1のソースには電源電圧VCC1が供給され、nチャンネルMOSトランジスタM2のソースは接地されている。そして、pチャンネルMOSトランジスタM1とnチャンネルMOSトランジスタM2のドレイン同士が接続され、この反転部1の出力がレベルシフターフリップフロップ部2のnチャンネルMOSトランジスタM4のゲートに供給されている。電圧変換バッファ回路の入力端子(IN)はまた、レベルシフターフリップフロップ部2のnチャンネルMOSトランジスタM6のゲートにも接続されている。

【0004】レベルシフターフリップフロップ部2はpチャンネルMOSトランジスタM3、nチャンネルMOSトランジスタM4、pチャンネルMOSトランジスタM5、およびnチャンネルMOSトランジスタM6によりなる電流ミラーフリップフロップラッチ回路である。前記電源電圧VCC1とは独立の電源電圧VCC2がpチャンネルMOSトランジスタM3およびM5の各ソー

スに供給されており、この各ゲートは、nチャンネルMOSトランジスタM6およびM4の各ドレインにそれぞれ接続されている。pチャンネルMOSトランジスタM3とnチャンネルMOSトランジスタM4の各ドレインは互いに接続されている。pチャンネルMOSトランジスタM5とnチャンネルMOSトランジスタM6の各ドレインも同様に互いに接続されており、これらは電圧変換バッファ回路の出力端子(OUT)に接続されている。nチャンネルMOSトランジスタM4およびM6の各ソースは接地されている。

【0005】以下において、図5の従来の電圧変換バッファ回路の動作について説明する。

【0006】入力端子(IN)がHIGHレベルのとき、pチャンネルMOSトランジスタM1のゲートはOFF、nチャンネルMOSトランジスタM2のゲートはONとなり、これにより反転部1の出力はLOWレベルに保持される。従って、nチャンネルMOSトランジスタM4およびM6はそれぞれOFFおよびONとなり、これにより出力端子(OUT)はLOWレベル(0V)となる。

【0007】入力端子(IN)がLOWレベルのとき、pチャンネルMOSトランジスタM1のゲートはON、nチャンネルMOSトランジスタM2のゲートはOFFとなり、これにより反転部1の出力はHIGHレベルに保持される。従って、nチャンネルMOSトランジスタM4およびM6はそれぞれONおよびOFFとなる。従ってpチャンネルMOSトランジスタM5のゲートはLOWレベルでONとなり、これにより出力端子(OUT)はHIGHレベル(VCC2)となる。

【0008】上記のように、入力端子(IN)における入力データ信号は反転部1により反転され、その反転されたデータ信号のレベルは、レベルシフターフリップフロップ部2により電源電圧VCC2に従って変換される。

【0009】入力端子(IN)においてLOWからHIGHまたはHIGHからLOWへのデータ変化が生じた場合、レベルシフターフリップフロップ部2においてフリップフロップ動作が起こり、出力端子(OUT)においてHIGHからLOWまたはLOWからHIGHへのデータ変化がそれぞれ生じる。

【0010】しかし、レベルシフターフリップフロップ部2におけるpチャンネルMOSトランジスタとnチャンネルMOSトランジスタの駆動性能が等しい場合(すなわちバランス状態にある場合)には、レベルシフターフリップフロップ部2のフリップフロップ動作は起こりにくく長時間を要することとなり、場合によってはフリップフロップが起こらない可能性も生じる。このため、レベルシフターフリップフロップ部2の設計においては、そのpチャンネルMOSトランジスタとnチャンネルMOSトランジスタの駆動性能の間に意図的にアンバ

ランスが導入される。図5の例では、レベルシフターフリップフロップ部2におけるnチャンネルMOSトランジスタの駆動性能がpチャンネルMOSトランジスタの駆動性能より強くなるような設計が意図的に行われている。MOSトランジスタの駆動性能は、具体的にはMOSトランジスタのソースドレイン電流の量に関係しており、駆動性能はそのMOSトランジスタのゲート幅およびゲート長に依存する。MOSトランジスタのゲート幅が広くなるほど、駆動性能は高くなる。nチャンネルMOSトランジスタとpチャンネルMOSトランジスタとを比較すると、ゲート幅が同一の場合の駆動性能はnチャンネルMOSトランジスタの方がpチャンネルMOSトランジスタより一般に高く、従って、pチャンネルMOSトランジスタの駆動性能をnチャンネルMOSトランジスタの駆動性能と等しくするためには、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタのゲート幅がほぼ2:1（例えば、 $10\mu\text{m}$ と $5\mu\text{m}$ ）に設定される。従って、レベルシフターフリップフロップ部2におけるnチャンネルMOSトランジスタの駆動性能をpチャンネルMOSトランジスタの駆動性能より高く設定するためには、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタの各ゲート幅が例えば $6\mu\text{m}$ と $5\mu\text{m}$ に設定される。

【0011】このように、nチャンネルMOSトランジスタM4およびM6の駆動性能をpチャンネルMOSトランジスタM3およびM5の駆動性能より高くするようなアンバランスが導入された場合、出力端子（OUT）におけるHIGHからLOWへのスムーズで高速なデータ変化が可能となり、HIGHからLOWへのデータ変化（フリップフロップ動作）の間のON電流が低減される。

【0012】しかし、上記の（nチャンネルMOSトランジスタがpチャンネルMOSトランジスタより強い）アンバランスは、その結果として、入力端子（IN）におけるHIGHからLOWへのデータ変化に対するレベルシフターフリップフロップ部2の出力端子（OUT）におけるデータ変化を非常に低速にしてしまうこととなる。すなわち図6に示すように、出力端子（OUT）におけるLOWからHIGHへのデータ変化が非常に低速になってしまう。また、出力端子（OUT）におけるLOWからHIGHへのデータ変化がうまく起こらない場合も生じうる。

【0013】

【発明が解決しようとする課題】上記のように、レベルシフターフリップフロップ部2のpチャンネルMOSトランジスタM3およびM5とnチャンネルMOSトランジスタM4およびM6との間に意図的に設定されたアンバランスのために、反転部1の入力端子（IN）においてHIGHからLOWへの入力データの変化が生じた場合、出力端子（OUT）におけるLOWからHIGHへ

の信号変化が図6に示したように極めて低速になってこのフリップフロップ動作の間のON電流が大きくなってしまい、またはこの出力端子（OUT）におけるLOWからHIGHへのデータ変化がうまく起こらない場合も生じるなどの課題があった。

【0014】この発明は上記課題を解決するためのものであり、駆動性能のアンバランスを導入した電圧変換バッファ回路における固有の問題を解決し、入力データ信号のHIGHからLOWへの変化およびLOWからHIGHへの変化の両方に対して、レベルシフターフリップフロップ部2の高速フリップフロップ動作を実現する電圧変換バッファ回路を提供することを目的とする。

【0015】

【課題を解決するための手段】請求項1記載の電圧変換バッファ回路は、データ信号を反転する反転部と、2個のpチャンネルトランジスタと2個のnチャンネルトランジスタとを有して前記pチャンネルトランジスタと前記nチャンネルトランジスタとの間に駆動性能のアンバランスが導入された電流ミラーフリップフロップラッチ回路より構成され、前記データ信号と前記反転されたデータ信号とを同時に入力し、前記反転されたデータ信号の電圧レベルを変換し、そのレベル変換された反転データ信号を出力するレベルシフターフリップフロップ部と、遅延ブロックと前記レベルシフターフリップフロップ部において駆動性能を弱く設定されたトランジスタと同じ型の複数のトランジスタとを有し、前記レベルシフターフリップフロップ部の駆動性能の弱い方のトランジスタの駆動性能を補助し、前記アンバランスによって弱く設定された前記レベルシフターフリップフロップ部の弱い方のフリップフロップ動作を補助する遅延駆動部とを備えたものである。

【0016】請求項2記載の電圧変換バッファ回路は、前記請求項2記載の電圧変換バッファ回路において、前記アンバランスが、前記レベルシフターフリップフロップ部において前記nチャンネルトランジスタの駆動性能が前記pチャンネルトランジスタの駆動性能より強くなるように導入されており、前記レベルシフターフリップフロップ部が、そのゲートが前記反転されたデータ信号を入力し、そのソースが接地された第1のnチャンネルトランジスタと、そのゲートが前記データ信号を入力し、そのソースが接地された第2のnチャンネルトランジスタと、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第2のnチャンネルトランジスタのドレインと前記電圧変換バッファ回路の出力端子とに接続され、そのドレインが前記第1のnチャンネルトランジスタのドレインに接続された第1のpチャンネルトランジスタと、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第1のnチャンネルトランジスタのドレイン

に接続され、そのドレインが前記第2のnチャンネルトランジスタのドレインに接続された第2のpチャンネルトランジスタとを有し、前記遅延駆動部が、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給され、そのゲートが前記第2のpチャンネルトランジスタのゲートに接続された第3のpチャンネルトランジスタと、そのソースが前記第3のpチャンネルトランジスタのドレインに接続され、そのドレインが前記電圧変換バッファ回路の前記出力端子と前記第2のpチャンネルトランジスタおよび前記第2のnチャンネルトランジスタのドレインに接続された第4のpチャンネルトランジスタと、前記電圧変換バッファ回路の前記出力端子と前記第4のpチャンネルトランジスタのゲートとの間に接続され、前記レベル変換された反転データ信号を所定の遅延時間遅延させて前記第4のpチャンネルトランジスタのゲートに伝達する遅延ブロックとを有するものである。

【0017】請求項3記載の電圧変換バッファ回路は、請求項2記載の電圧変換バッファ回路において、前記遅延時間が、前記レベルシフターフリップフロップ部の前記弱い方のフリップフロップ動作に必要な時間より長く設定されているものである。

【0018】請求項4記載の電圧変換バッファ回路は、請求項2記載の電圧変換バッファ回路において、前記反転部がCMOSにより構成されているものである。

【0019】請求項5記載の電圧変換バッファ回路は、請求項1記載の電圧変換バッファ回路において、前記アンバランスが、前記レベルシフターフリップフロップ部において前記pチャンネルトランジスタの駆動性能が前記nチャンネルトランジスタの駆動性能より強くなるように導入されており、前記レベルシフターフリップフロップ部が、そのゲートが前記反転されたデータ信号を入力し、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給された第1のpチャンネルトランジスタと、そのゲートが前記データ信号を入力し、そのソースが前記反転されたデータ信号の前記電圧レベルの変換のための電源電圧を供給された第2のpチャンネルトランジスタと、そのソースが接地され、そのドレインが前記第1のpチャンネルトランジスタのドレインに接続され、そのゲートが前記第2のpチャンネルトランジスタのドレインと前記電圧変換バッファ回路の出力端子とに接続された第1のnチャンネルトランジスタと、そのソースが接地され、そのドレインが前記第2のpチャンネルトランジスタのドレインに接続され、そのゲートが前記第1のpチャンネルトランジスタのドレインに接続された第2のnチャンネルトランジスタとを有し、前記遅延駆動部が、そのソースが接地され、そのゲートが前記第2のnチャンネルトランジスタのゲートに接続された第3のnチャンネルトランジスタと、そのソースが前記第3のnチャンネルトランジスタ

のドレインに接続され、そのドレインが前記電圧変換バッファ回路の前記出力端子と前記第2のpチャンネルトランジスタおよび前記第2のnチャンネルトランジスタのドレインに接続された第4のnチャンネルトランジスタと、前記電圧変換バッファ回路の前記出力端子と前記第4のnチャンネルトランジスタのゲートとの間に接続され、前記レベル変換された反転データ信号を所定の遅延時間遅延させて前記第4のnチャンネルトランジスタのゲートに伝達する遅延ブロックとを有するものである。

【0020】請求項6記載の電圧変換バッファ回路は、請求項5記載の電圧変換バッファ回路において、前記遅延時間が、前記レベルシフターフリップフロップ部の前記弱い方のフリップフロップ動作に必要な時間より長く設定されているものである。

【0021】請求項7記載の電圧変換バッファ回路は、請求項5記載の電圧変換バッファ回路において、前記反転部がCMOSにより構成されているものである。

【0022】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0023】実施の形態1. 図1は本発明の実施の形態1による電圧変換バッファ回路を示す回路図である。図1の電圧変換バッファ回路は、図5に示した従来の電圧変換バッファ回路と同様に反転部1とレベルシフターフリップフロップ部2とを備えるとともに、これに加えて遅延駆動部3を備えている。遅延駆動部3は、pチャンネルプルアップMOSトランジスタM7およびM8、および遅延ブロック4により構成されている。遅延ブロック4は図2に示すように複数の反転ゲートによる鎖により構成されている。なお、この各反転ゲートは、反転部1と同様のCMOS（pチャンネルMOSトランジスタとnチャンネルMOSトランジスタ）インバータにより構成することができる。

【0024】反転部1はpチャンネルMOSトランジスタM1とnチャンネルMOSトランジスタM2によりなるCMOSインバータである。電圧変換バッファ回路の入力端子（IN）がpチャンネルMOSトランジスタM1とnチャンネルMOSトランジスタM2の各ゲートに接続され、pチャンネルMOSトランジスタM1のソースには電源電圧VCC1が供給され、nチャンネルMOSトランジスタM2のソースは接地されている。pチャンネルMOSトランジスタM1とnチャンネルMOSトランジスタM2の各ドレインが互いに接続され、この反転部1の出力はレベルシフターフリップフロップ部2のnチャンネルMOSトランジスタM4のゲートに供給されている。電圧変換バッファ回路の入力端子（IN）はまた、レベルシフターフリップフロップ部2のnチャンネルMOSトランジスタM6のゲートにも接続されている。

【0025】レベルシフターフリップフロップ部2はpチャンネルMOSトランジスタM3、nチャンネルMOSトランジスタM4、pチャンネルMOSトランジスタM5、およびnチャンネルMOSトランジスタM6によりなる電流ミラーフリップフロップラッチ回路である。前記電源電圧VCC1とは独立の電源電圧VCC2がpチャンネルMOSトランジスタM3およびM5の各ソースに供給されており、これらの各ゲートは、nチャンネルMOSトランジスタM6およびM4の各ドレインにそれぞれ接続されている。pチャンネルMOSトランジスタM3とnチャンネルMOSトランジスタM4の各ドレインは互いに接続されている。pチャンネルMOSトランジスタM5とnチャンネルMOSトランジスタM6の各ドレインも同様に互いに接続されており、これらは電圧変換バッファ回路の出力端子(OUT)に接続されている。nチャンネルMOSトランジスタM4およびM6の各ソースは接地されている。

【0026】ここで、レベルシフターフリップフロップ部2におけるpチャンネルMOSトランジスタとnチャンネルMOSトランジスタの駆動性能が等しい(バランス状態)とすると、レベルシフターフリップフロップ部2のフリップフロップ動作は起こりにくく長時間を要することとなり、場合によってはフリップフロップが起こらない可能性も生じる。このため、レベルシフターフリップフロップ部2のpチャンネルMOSトランジスタの駆動性能とnチャンネルMOSトランジスタの駆動性能の間に意図的にアンバランスが導入されており、nチャンネルMOSトランジスタM4およびM6の駆動性能がpチャンネルMOSトランジスタM3およびM5の駆動性能より強くなるような設計が意図的に行われている。MOSトランジスタの駆動性能は、具体的にはMOSトランジスタのソースドレイン電流の量に関係しており、駆動性能はそのMOSトランジスタのゲート幅およびゲート長に依存する。MOSトランジスタのゲート幅が広がるほど、駆動性能は高くなる。nチャンネルMOSトランジスタとpチャンネルMOSトランジスタとを比較すると、ゲート幅が同一の場合の駆動性能はnチャンネルMOSトランジスタの方がpチャンネルMOSトランジスタより一般に高く、従って、pチャンネルMOSトランジスタの駆動性能をnチャンネルMOSトランジスタの駆動性能と等しくするためには、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタのゲート幅がほぼ2:1(例えば、10 μ mと5 μ m)に設定される。従って、この実施の形態1においては、レベルシフターフリップフロップ部2におけるpチャンネルMOSトランジスタとnチャンネルMOSトランジスタの各ゲート幅を例えば6 μ mと5 μ mに設定することにより、nチャンネルMOSトランジスタM4およびM6の駆動性能をpチャンネルMOSトランジスタM3およびM5の駆動性能より高く設定している。

【0027】遅延駆動部2において、pチャンネルMOSトランジスタM7のソースには前記電源電圧VCC2が供給され、pチャンネルMOSトランジスタM7のゲートはpチャンネルMOSトランジスタM5のゲートと接続され、pチャンネルMOSトランジスタM7のドレインはpチャンネルMOSトランジスタM8のソースと接続されている。pチャンネルMOSトランジスタM8のドレインは、レベルシフターフリップフロップ部2の出力(すなわちpチャンネルMOSトランジスタM5とnチャンネルMOSトランジスタM6のドレイン間接点)と電圧変換バッファ回路の出力端子(OUT)とに接続されている。遅延ブロック4は、レベルシフターフリップフロップ部2の出力をpチャンネルMOSトランジスタM8のゲートに所定の遅延時間だけ遅延させて伝達するために、出力端子(OUT)とpチャンネルMOSトランジスタM8のゲートとの間に配置されている。

【0028】以下において、図1の電圧変換バッファ回路の動作について説明する。

【0029】入力端子(IN)がHIGHレベルのとき、pチャンネルMOSトランジスタM1のゲートはOFF、nチャンネルMOSトランジスタM2のゲートはONとなり、これにより反転部1の出力はLOWレベルに保持される。従って、nチャンネルMOSトランジスタM4およびM6はそれぞれOFFおよびONとなり、これにより出力端子(OUT)はLOWレベル(0V)となる。入力端子(IN)がLOWレベルのとき、pチャンネルMOSトランジスタM1のゲートはON、nチャンネルMOSトランジスタM2のゲートはOFFとなり、これにより反転部1の出力はHIGHレベルに保持される。従って、nチャンネルMOSトランジスタM4およびM6はそれぞれONおよびOFFとなる。従ってpチャンネルMOSトランジスタM5のゲートはLOWレベルでONとなり、これにより出力端子(OUT)はHIGHレベル(VCC2)となる。上記のように、入力端子(IN)における入力データ信号は反転部1により反転され、その反転されたデータ信号のレベルは、レベルシフターフリップフロップ部2により電源電圧VCC2に従って変換される。

【0030】入力端子(IN)においてLOWからHIGHへのデータ変化が起こった場合、nチャンネルMOSトランジスタM2がONに変わり、これによりnチャンネルMOSトランジスタM4のゲートがOFFとなる。同時に、nチャンネルMOSトランジスタM6がONとなり、これにより出力端子(OUT)がLOWとなる。同時に、pチャンネルMOSトランジスタM3がONとなり、これにより図1中のノードAがHIGHレベルとなる。これによりpチャンネルMOSトランジスタM5およびM7が共にOFFとなる。その後、出力端子(OUT)のLOWレベルが遅延ブロック4を介して伝達され、pチャンネルMOSトランジスタM8がONと

なる。上記のように、図5に示した従来の電圧変換バッファ回路の場合と同様にして、入力端子(IN)におけるLOWからHIGHへのデータ変化に伴い、出力端子(OUT)におけるHIGHからLOWへのデータ変化が生じる。

【0031】入力端子(IN)においてHIGHからLOWへのデータ変化が起こった場合、pチャンネルMOSトランジスタM1がONに変わり、nチャンネルMOSトランジスタM2およびM6がOFFに変わる。従って、pチャンネルMOSトランジスタM1がnチャンネルMOSトランジスタM4をONとし、これによりpチャンネルMOSトランジスタM5およびM7がONとなる。なお、この時にのみ、pチャンネルMOSトランジスタM5、M7およびM8がすべて同時にONとなる。この時、pチャンネルMOSトランジスタM5、M7およびM8の結合された駆動性能により、出力端子(OUT)が極めて高速にHIGHレベルに引き上げられる。その後、出力端子(OUT)のHIGHレベルが遅延ブロック4を介して伝達され、pチャンネルMOSトランジスタM8がOFFとなる。上記のように、入力端子(IN)におけるHIGHからLOWへのデータ変化に伴う出力端子(OUT)におけるLOWからHIGHへのデータ変化は、図5に示した従来の電圧変換バッファ回路の場合と比較して、図3に示すように大きく高速化される。

【0032】上述のように、この実施の形態1によれば、反転部1と、nチャンネルMOSトランジスタM4およびM6の駆動性能がpチャンネルMOSトランジスタM3およびM5の駆動性能より高くなるようなアンバランスが導入されたレベルシフターフリップフロップ部2とを備えた、アンバランス化された電圧変換バッファ回路において、遅延ブロック4と、LOWからHIGHへの出力データ変化を補助するためのpチャンネルプルアップMOSトランジスタM7およびM8とを有した、遅延駆動部3を設けることにより、出力端子(OUT)におけるLOWからHIGHへのデータ変化が極めて高速なものとなり、これにより、入力データ信号のHIGHからLOW、およびLOWからHIGHの両方のデータ変化に対しての、レベルシフターフリップフロップ部2の高速なフリップフロップ動作が実現される。

【0033】実施の形態2。図4は本発明の実施の形態2による電圧変換バッファ回路を示す回路図である。図4の電圧変換バッファ回路は、反転部1と、レベルシフターフリップフロップ部2'と、遅延駆動部3'とを備えている。遅延駆動部3'は、nチャンネルプルダウンMOSトランジスタM17およびM18、および遅延ブロック4により構成されている。遅延ブロック4は実施の形態1のものと同様に複数の反転ゲートによる鎖により構成されている。

【0034】反転部1は、実施の形態1のものと同様の

構成によるCMOSインverterである。この実施の形態2においては、反転部1の出力は、レベルシフターフリップフロップ部2'のpチャンネルMOSトランジスタM13のゲートに供給されている。電圧変換バッファ回路の入力端子(IN)はまた、レベルシフターフリップフロップ部2'のpチャンネルMOSトランジスタM15のゲートにも接続されている。

【0035】レベルシフターフリップフロップ部2'はpチャンネルMOSトランジスタM13、nチャンネルMOSトランジスタM14、pチャンネルMOSトランジスタM15、およびnチャンネルMOSトランジスタM16によりなる電流ミラーフリップフロップラッチ回路である。反転部1の電源電圧VCC1とは独立の電源電圧VCC2がpチャンネルMOSトランジスタM13およびM15の各ソースに供給されている。このpチャンネルMOSトランジスタM13およびM15の各ゲートには上記のように反転部1の出力および入力それぞれ供給されている。pチャンネルMOSトランジスタM13とnチャンネルMOSトランジスタM14の各ドレインは互いに接続されている。pチャンネルMOSトランジスタM15とnチャンネルMOSトランジスタM16の各ドレインも同様に互いに接続されており、これらは電圧変換バッファ回路の出力端子(OUT)に接続されている。nチャンネルMOSトランジスタM14およびM16の各ゲートは、pチャンネルMOSトランジスタM15およびM13の各ドレインとそれぞれ接続されている。nチャンネルMOSトランジスタM14およびM16の各ソースは接地されている。

【0036】なお、この実施の形態2でも実施の形態1と同様にレベルシフターフリップフロップ部2'のMOSトランジスタの駆動性能にアンバランスが導入されており、実施の形態2においては、意図的にpチャンネルMOSトランジスタM13およびM15の駆動性能がnチャンネルMOSトランジスタM14およびM16の駆動性能より高くなるように設計されている。具体的には、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタのゲート幅を例えば $10\mu\text{m}$ と $3\mu\text{m}$ に設定することにより、このようなアンバランスを実現することが可能である。

【0037】遅延駆動部3'において、nチャンネルMOSトランジスタM17のソースは接地され、nチャンネルMOSトランジスタM17のゲートはnチャンネルMOSトランジスタM16のゲートと接続され、nチャンネルMOSトランジスタM17のドレインはnチャンネルMOSトランジスタM18のソースと接続されている。nチャンネルMOSトランジスタM18のドレインは、レベルシフターフリップフロップ部2'の出力(すなわちpチャンネルMOSトランジスタM15とnチャンネルMOSトランジスタM16のドレイン間接点)と電圧変換バッファ回路の出力端子(OUT)とに接続さ

れている。遅延ブロック4は、レベルシフターフリップフロップ部2'の出力をnチャンネルMOSトランジスタM18のゲートに所定の遅延時間だけ遅延させて伝達するために、出力端子(OUT)とnチャンネルMOSトランジスタM18のゲートとの間に配置されている。

【0038】以下において、図4の電圧変換バッファ回路の動作について説明する。

【0039】入力端子(IN)がHIGHレベルのとき、pチャンネルMOSトランジスタM1のゲートはOFF、nチャンネルMOSトランジスタM2のゲートはONとなり、これにより反転部1の出力はLOWレベルに保持される。従って、pチャンネルMOSトランジスタM13およびM15は、それぞれONとOFFとなる。これにより、nチャンネルMOSトランジスタM16のゲートはHIGHレベルでONとなり、従って出力端子(OUT)はLOWレベル(0V)となる。

【0040】入力端子(IN)がLOWレベルのとき、pチャンネルMOSトランジスタM1のゲートはON、nチャンネルMOSトランジスタM2のゲートはOFFとなり、これにより反転部1の出力はHIGHレベルに保持される。従って、pチャンネルMOSトランジスタM13およびM15はそれぞれOFFおよびONとなり、これにより出力端子(OUT)はHIGHレベル(VCC2)となる。上記のように、入力端子(IN)における入力データ信号は反転部1により反転され、その反転されたデータ信号のレベルは、レベルシフターフリップフロップ部2'により電源電圧VCC2に従って変換される。

【0041】入力端子(IN)においてHIGHからLOWへのデータ変化が起こった場合、pチャンネルMOSトランジスタM1がONに変わり、これによりpチャンネルMOSトランジスタM13のゲートがOFFに変わる。同時にpチャンネルMOSトランジスタM15がONに変わり、これにより出力端子(OUT)がHIGHレベルに変化する。同時に、nチャンネルMOSトランジスタM14がONとなり、これにより図4中のノードAがLOWレベルとなる。これによりnチャンネルMOSトランジスタM16およびM17が共にOFFとなる。その後、出力端子(OUT)のHIGHレベルが遅延ブロック4を介して伝達され、nチャンネルMOSトランジスタM18がONとなる。上記のように、入力端子(IN)におけるHIGHからLOWへのデータ変化に伴い、出力端子(OUT)におけるLOWからHIGHへのデータ変化が生じる。

【0042】入力端子(IN)においてLOWからHIGHへのデータ変化が起こった場合、nチャンネルMOSトランジスタM2がONに変わり、pチャンネルMOSトランジスタM1およびM15がOFFに変わる。従って、nチャンネルMOSトランジスタM2がpチャンネルMOSトランジスタM13をONとし、これにより

nチャンネルMOSトランジスタM16およびM17がONとなる。なお、この時にのみ、nチャンネルMOSトランジスタM16、M17およびM18がすべて同時にONとなる。この時、nチャンネルMOSトランジスタM16、M17およびM18の結合された駆動性能により、出力端子(OUT)が極めて高速にLOWレベルに引き下げられる。その後、出力端子(OUT)のLOWレベルが遅延ブロック4を介して伝達され、nチャンネルMOSトランジスタM18がOFFとなる。上記のように、入力端子(IN)におけるLOWからHIGHへのデータ変化に伴う出力端子(OUT)におけるHIGHからLOWへのデータ変化は、電圧変換バッファ回路に遅延駆動部3'が設けられていない場合と比較して大きく高速化される。

【0043】上述のように、この実施の形態2によれば、反転部1と、pチャンネルMOSトランジスタM13およびM15の駆動性能がnチャンネルMOSトランジスタM14およびM16の駆動性能より高くなるようなアンバランスが導入されたレベルシフターフリップフロップ部2'とを備えた、アンバランス化された電圧変換バッファ回路において、遅延ブロック4と、HIGHからLOWへの出力データ変化を補助するためのnチャンネルプルダウンMOSトランジスタM17およびM18とを有した、遅延駆動部3'を設けることにより、出力端子(OUT)におけるHIGHからLOWへのデータ変化が極めて高速なものとなり、これにより、入力データ信号のHIGHからLOW、およびLOWからHIGHの両方のデータ変化に対しての、レベルシフターフリップフロップ部2'の高速なフリップフロップ動作が実現される。

【0044】

【発明の効果】以上のように、この発明による電圧変換バッファ回路によれば、駆動性能のアンバランスを導入した電圧変換バッファ回路における固有の問題を解決し、入力端子におけるデータ信号のHIGHからLOWへのデータ変化およびLOWからHIGHへのデータ変化の両方に対して、出力端子における高速のデータ変化を実現することができる効果がある。

【0045】なお、この発明を特定の例示的な各実施の形態を用いて説明してきたが、この発明はこれらの実施の形態に限定されるものではなく、添付した特許請求の範囲によってのみ限定されるものである。この発明の範囲と趣旨から離れることなくこの分野の当業者がこれらの実施の形態の変更または修正を行うことが可能であることが当然理解されるべきものである。

【図面の簡単な説明】

【図1】本発明の実施の形態1による電圧変換バッファ回路を示す回路図である。

【図2】図1の電圧変換バッファ回路中の遅延駆動部の構成を示す回路図である。

【図3】図1の電圧変換バッファ回路の入力と出力を示すタイミングチャートである。

【図4】本発明の実施の形態2による電圧変換バッファ回路を示す回路図である。

【図5】一般に用いられている従来の電圧変換バッファ回路を示す回路図である。

【図6】図5の従来の電圧変換バッファ回路の入力と出力を示すタイミングチャートである。

【符号の説明】

1 反転部

10

2, 2' レベルシフタ・クリップフロップ部

3, 3' 遅延駆動部

4 遅延ブロック

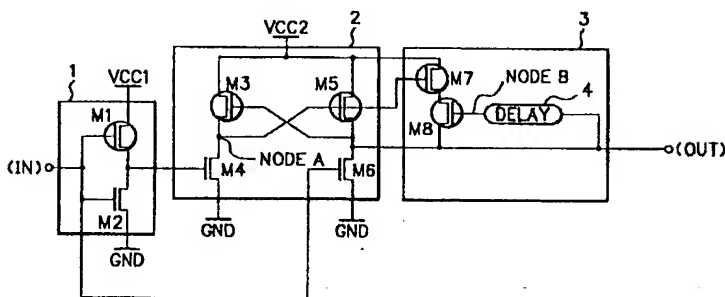
M1, M3, M5, M7, M8, M13, M15 pチャンネルMOSトランジスタ

M2, M4, M6, M14, M16, M17, M18 nチャンネルMOSトランジスタ

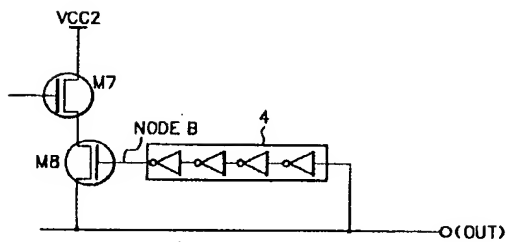
(IN) 入力端子

(OUT) 出力端子

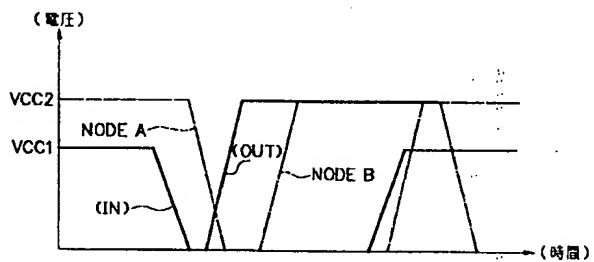
【図1】



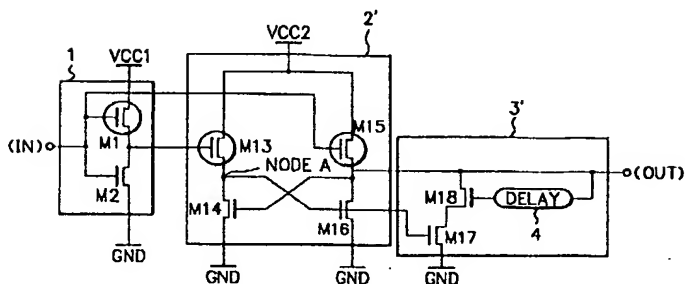
【図2】



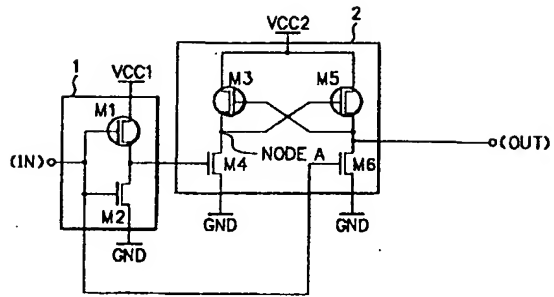
【図3】



【図4】



【図5】



【图6】

